

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-313257

(43)Date of publication of application : 09.11.1999

(51)Int.CI.

H04N 5/335
H01L 27/146

(21)Application number : 10-120251

(71)Applicant : MINOLTA CO LTD

(22)Date of filing : 30.04.1998

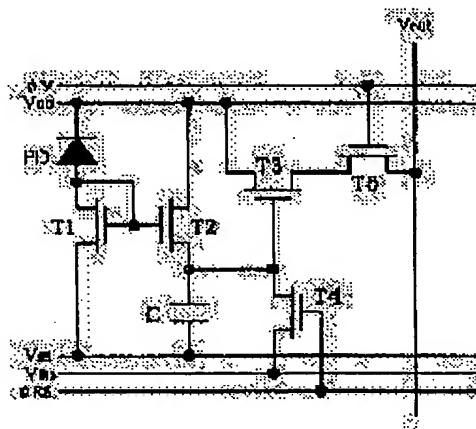
(72)Inventor : NAKAMURA SATOYUKI
TAKADA KENJI
HAGIWARA YOSHIO
MIYATAKE SHIGEHIRO

(54) SOLID-STATE IMAGE PICKUP DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a solid-state image pickup device excellent in S/N and wide in dynamic range and capable of obtaining a high pixel output.

SOLUTION: This device is configured by arranging pixels in a matrix. In this case, each pixel of the device is made up of a photoelectric conversion photoelectric diode PD, a MOS transistor(TR) T1 that converts its output current into a logarithmically transformed voltage, a MOS TR T2 whose gate receives the logarithmically transformed voltage, a capacitor C whose one-side terminal connects to a source of the MOS TR T2 to receive an output current from the source and whose other terminal connects to a DC voltage line Vss, a MOS TR T3 that amplifies an output of the capacitor C, and a guide path through which the amplified signal is led to an output signal line.



【説明項 16】画素をマトリクス状に配してなる二次元の固体撮像装置において、各画素が、
フォトダイオードと、
前記フォトダイオードの一方向の電極に第 1 電極ヒゲート
電極が接続されサブレッショルド領域で動作する第 1
MOS ランジスタと、
ゲートが第 1 MOS ランジスタのゲートに接続され第 1
電極がクロックが印加されサブレッショルド領域で
動作する第 2 MOS ランジスタと、
一端が第 2 MOS ランジスタの第 2 電極に接続され他
一端が第 2 MOS ランジスタを介して第 2 MOS ランジスタの
第 2 電極に接続され他の端が直流電圧に接続され前記フォ
トダイオードで発生した光電流に基づく信号を検出する
キヤンダードと、
ゲートが前記キャバシタの一端に接続され第 1 電極が直
流電圧に接続されて電容器として動作する第 3 MOS ランジ
スタと、
前記キャバシタの一端に第 1 電極が接続され第 2 電極が常時
ON する第 4 MOS ランジスタと、
第 3 MOS ランジスタの第 2 電極に接続されゲート電極が行選択
端が出力信号線に接続された第 2 シイチと、
端が出力信号線に接続された第 1 シイチと、

40	<p>一端が第1 MOSトランジスタの第1電極と接続され第2電極と接続された前記チャバシタの前記チャバシタの前記チャバシタが直流電圧に接続されているとともにゲートにリセッタ電位が入力されたときONして前記チャバシタを初期状態にリセットする第4 MOSトランジスタと、</p> <p>一端が第3 MOSトランジスタの第2電極と接続され第1電極が接続され第2電極が接続されゲート電極が運転状態に接続された読み出し用の第5 MOSトランジスタ</p>	<p>一端が第2 MOSトランジスタの第2電極と接続され第1電極と接続された前記チャバシタをOFFして前記チャバシタの前記チャバシタの第2電極が直流電圧に接続され第1電極と接続された前記チャバシタが直流電圧に接続され第1電極が直流電圧に接続され第2電極と接続された前記チャバシタと、</p> <p>一端が前記チャバシタの一端に接続され第1電極が直流電圧に接続され前記チャバシタの另一端に接続され他端が直流電圧に接続されゲートにリセッタ信号が入力される第4 MOSトランジスタと、</p> <p>一端が第3 MOSトランジスタの第2電極に接続され他端が直流電圧に接続された第2スイッチと、</p> <p>端が出力信号線に接続された第2スイッチと、</p> <p>から成り、第1スイッチをOFFして前記チャバシタの</p>
50		

<p>信号を第3 MOSトランジスタで增幅して出力信号端へ説み出しているときに第2 MOSトランジスタの第2電極のクリックのリセット電圧期間に前記第2 MOSトランジスタの第2電極に接続する第1 MOSトランジスタと、前記クロックの他のレベル期間に前記D端子に接合容量への信号の部分を開始させ、前記キャバシタの信号の読み出し終了後に第1スイッチをONさせせて前記D端子に接合容量の電荷電圧を前記キャバシタへ移送することとともに該キャバシタの端子を前記キャバシタへ接続する固体薄膜装置。</p>	<p>【翻訳文】1.8 画素をマトリクス状に配してなる二三次元の固薄膜装置において、各画素が、</p>	<p>フォトダイオードと、</p>	<p>前記フォトダイオードの一方の電極に第1電極とゲート電極が接続されサブレッショルド領域で動作する第1 MOSトランジスタと、</p>	<p>ゲートが第1 MOSトランジスタのゲートに接続され第1電極に直流電圧が印加されサブレッショルド領域で</p>
<p>動作する第2 MOSトランジスタと、</p>	<p>一端が第2 MOSトランジスタの第2電極に接続され他端が直流電圧に接続され前記フォトダイオードで発生した光電流に基づく信号を供給する第1キャバシタと、</p>	<p>一端が第1キャバシタの一端に接続された第1スイッチと、</p>	<p>第1スイッチの他端に一端が接続され他端が直流電圧に接続された第2キャバシタと、</p>	<p>第2キャバシタの一端にゲートが接続され第1電極が直</p>
<p>流電圧に接続され増幅器として動作する第3 MOSトランジスタと、</p>	<p>一端が第3 MOSトランジスタの第2電極に接続され他端が出力信号端に接続された第2スイッチと、</p>	<p>から成り、第1キャバシタで串接された電圧を第1スイッチをONして第2キャバシタに転送することで第1キャバシタのリセットを行ない、次いで第1スイッチをOFFして第2キャバシタの電荷に基づく信号を第3 MOSトランジスタで増幅して前記出力信号端へ読み出して</p>	<p>10</p>	<p>1.9</p>

2MOSトランジスタの第2電極のクロックのリセット電圧期間に前記第2MOSトランジスタの第2電極に関係するp-n接合部容量をリセットし、前記クロックの他のレベル期間に前記p-n接合部容量への信号の相分を開始させ、前記キャバシタの信号の読み出し終了後に第1スイッチをONさせて前記Dn接合容量の蓄積電荷を前記キャバシタに移送するとともに該キャバシタの復分を続行するようになつてゐる。

〔0024〕また、翻案図18に記載の発明では、画素をマトリクス状に配してなる二次元の固体映像装置において、各画素が、フォトダイオードヒ；前記フォトダイオードの一方向の電極に第1電極とゲート電極が接続されサブフレッシュホールド領域で動作する第1MOSトランジスタと；ゲートが第1MOSトランジスタのゲートに接続され第1電極に直列電抗が印加されサブフレッシュホールド領域で動作する第2MOSトランジスタヒ；一端が第2MOSトランジスタの第2電極に接続され他の端が直列電圧に接続され前記フォトダイオードヒで発生した光電流に基づく信号を授ける第1キャバシタヒ；第一スイッチ；第1スイッチの他端に一端が接続され他の端が直列電圧に接続された第2キャバシタヒ；第2キャバシタの前記一端に接続された第2キャバシタヒと、第2キャバシタの前記一端に接

一が接続され第一電極が直流電圧に接続されて増幅器として動作する第3 MOSトランジスタと; 第2チャバシタの一端に第1電極が直流電圧に接続され第2チャバシタが直流電圧に接続されゲートにリセット信号が入力される第4 MOSトランジスタと; 一端が第3 MOSトランジスタの第2電極に接続され他の端が出力信号線に接続された第2スイッチとから成り、第1スイッチをOFF状態にして第2チャバシタの信号を第3 MOSトランジスタに増幅して次出力信号線へ転送しているときに第1チャバシタで次の部分を開始し、前記端出し終了後、第4 MOSトランジスタをONして第2チャバシタをリセットした後、第1スイッチをONにして第1チャバシタの電荷を第2チャバシタへ転送するとともに第2チャバシタの部分を続行するようになっている。

【0025】また、翻訳段19に記載の発明では、画素をマトリクス状に配置してなる二次元の固體撮像装置において、各画素が、フォトダイオードと; 前記フォトダイオードの一方の電極に第1電極とゲート電極が接続され、ゲート電極に第1 MOSトランジスタと; 前記第1 MOSトランジスタと; ゲートが第1 MOSトランジスタのゲートに接続され第1電極にクロックが印加されサブレジヨンド領域で動作する第2 MOSトランジスタと; 一端が第2 MOSトランジスタの第2電極に接続され他の端が直流電圧に接続され前記オトド電極によって発生した電荷を直に基づく信号を翻訳する第1チャバシタと; 一端が第1チャバシタの一端に接続された第1スイッチと、第1スイッチの他端に、端接続端から入力された他の端が直流電圧に接続され第2チャバシタと; 第2チャバシタの一端にゲートされた第2チャバシタと; 第2チャバシタの一端に接続された第1スイッチと、

が接続され第一電極が直通電圧に接続されて増幅器として動作する第3MOSトランジスタと；一端が第3MOSトランジスタの第2電極に接続され他の端が出力信号線に接続された第2スイッチとから成り、第1キャバシタに接続された第2スイッチをONして第2キャバシタに接続された電圧を第1キャバシタのリセッタを行なう。しかし、ついで第1スイッチをOFFして第1キャバシタの電荷に基づく信号を第3MOSトランジスタで増幅して前記出力信号端へ読み出しているときには第1キャバシタでの読み出しが行なうようになっている。

〔0026〕また、翻訳図20に記載の発明では、画素をマトリクス状に配置する二次元の固体撮像装置において、各画素が、フォトダイオードと；前記フォトダイオードの一方の電極に第1電極とゲート電極が接続され、ゲート電極は第1MOSトランジスタのゲートに接続され第1電極は第1MOSトランジスタの印加電圧アスレッジヨルド端子で動作する第2MOSトランジスタと；一端が第2MOSトランジスタの第2電極に接続され他の端が直通電圧に接続される前記フォトダイオードと；第1スイッチと基づく信号を想定する第1キャバシタと；第1スイッチの一端に接続された第1スイッチと；第1スイ

イッチの他端に一端が接続され他端が直流通路に接続された第2キャバシタと; 第2キャバシタの一端にゲートが接続され第1電極が直流通路に接続されて増幅器として動作する第3MOSトランジスタと; 第2キャバシタの一端に第1電極が接続され第2電極が直流通路に接続されゲートにリセット電圧が印加される第4MOSトランジスタと; 一端が他の出力端子と接続された第2電極に第1キャバシタと; 一端が他の出力端子と接続された第2キャバシタの組合せで第2キャバシタの信号を第3MOSトランジスタで増幅して読み出しているときに第2MOSトランジスタの第2電極間に印加されるクロックのリセット電圧レベル期間に第1キャバシタをリセットし、前記クロック他のレベル期間に第1キャバシタの組合せを開始し読み出した後第4MOSトランジスタをONして第2キャバシタをリセットし、次に第1キャバシタをONして第1キャバシタの電荷を第2キャバシタへ転送するとともに第2キャバシタの組合せを維持するようになっている。

【0027】また、請求項2に記載の発明では、請求項1に記載のとおり、前記電極間に印加する固体质積膜電極間ににおいて、画素マトリクスの列ごとに、その列に含まれる各画素の第5MOSトランジスタに接続された第1電極をMOSトランジスタの負荷抵抗を成すMOSトランジスタを備えている。

【0028】また、請求項2に記載の発明では、請求項1に記載のとおり、前記電極間に印加する固体质積膜電極間ににおいて、画素マトリクスの列ごとに、その列に含まれる各画素の第5MOSトランジスタに接続された第1電極をMOSトランジスタの負荷抵抗を成すMOSトランジスタを備えている。

15

16

17

と、直流通電圧に接続された第2電極と、MOSトランジスタT3から増幅出力されるのは電流であるといよいよ。
【0039】また、翻訳段2.3に記載の事例では、翻求用1.6～翻訳用2.0のいずれかに電流の回路構成ににおいて、回路マトリクスの列ごとに、その列に含まれる各画素の第2スイッチを含めて表すと、図2 (a) の回路は正確に図2 (b) のようになる。即ち、第5MOSトランジスタがMOSトランジスタQ1と第3MOSトランジスタT3との間に接続されている。ここで、第5MOSトランジスタT5は行の選択を行うものであり、トランジスタQ2は列の選択を行うものである。なお、図1および図2に示す構成は以下に説明する第1実施形態である二次元のMOS型固体像焼成装置の一部の構成を示している。同図において、G1～Gmは行選択用(マトリクス配線)された画素を示している。2は理屈検査回路であり、行(4-1、4-2、・・・、4-m)と列選択検査していく。3は水平走査回路であり、画素から出力信号線6-1、6-2、・・・、6-mに導き出された光電変換信号を画素ごとに水平方向に順次読み出す。5は電源ラインである。各画素に対し、上記ライン4-1、4-2・・・、4-mや出力信号線6-1、6-2、・・・、6-mごとに接続されることにより、他の構成は全く同じである。なお、本実施形態は、そのままで出力信号が小さいか、本理屈回路により先に大きく出力することができる。

【0034】従って、画素がダイナミックレンジ拡大のために光電流を対数変換しているような場合は、そのままでは出力信号が小さいか、本理屈回路により先に大きく出力することができる。このようにして負荷抵抗部での処理が楽になる。また、増幅回路の負荷抵抗部を構成するトランジスタQ1を画素内に設けずに、列方向に配置された複数の画素が接続される出力信号線6-1、6-2、・・・、6-mごとに接続されることにより、負荷抵抗の数を低減でき、半導体チップ上で電源回路が求められる面積を少なくてできる。

【0035】以下、各実施形態を画素部のみ構成を示して説明する。尚、以下の各実施形態では、信号を第3MmごとにチャンネルのMOSトランジスタQ1、Q2が図示の如く1組ずつ設けられている。MOSトランジスタQ1のゲートは直流通電圧VDDに接続され、ドレインは出力信号線6-1に接続され、ソースは直流通電圧VSのライン8に接続されている。一方、MOSトランジスタQ2のドレインは出力信号線6-1に接続され、ソースは直流通電圧9に接続され、ゲートは水平走査回路3に接続されている。

【0031】出力信号線6-1、6-2、・・・、6-mごとにチャンネルのMOSトランジスタQ1、Q2が図示の如く1組ずつ設けられている。MOSトランジスタT3と上述の負荷抵抗用のMOSトランジスタQ1との組み合せによって制御するものであることは理解されるべきである。なお、本明細書において、「直流通電圧へ接続」という場合、グランド電圧への接続、すなわち「接地」をも含むものとする。以下、各実施形態を画素部分の構成を示して説明する。

【0032】画素G1～Gmには、後述するように、それらの画素で発生した光電流に基づく信号を増幅して出力する増幅用の第3MOSトランジスタT3が設けられている。その増幅用のMOSトランジスタT3との関係は図2 (a) のように、MOSトランジスタQ1との接続関係は図2 (a) のようになる。ここで、MOSトランジスタQ1のゲートは直流通電圧VDD、ドレインに接続され、第3のMOSトランジスタT3とのドレインは第5のMOSトランジスタT6のドレイノードである。この回路構成は上段のMOSトランジスタT3のゲートに対する第4MOSトランジスタT4のドレインに接続され、第3のMOSトランジスタT3のソースは第5のMOSトランジスタT6のゲートである。この回路構成は上段のMOSトランジスタT3のゲートに信号が入力され、下段のMOSトランジスタQ1のゲートには直流通電圧印加される。このため下段のMOSトランジスタQ1は抵抗と等価であり、図2 (a) の回路はソースフォア型の増

【0037】また、pnフォトダイオードPDのカソードに接続され、ゲートは直流通電圧VDDを0ONし

た状態でキャバシタCの漏分動作が行なわれる。そして、キャバシタCの信号を読み出す際には、積分時間電圧 Φ_{int} を0OFFにして該第6MOSトランジスタT6を0ONして、第5MOSトランジスタT5を0OFFにし、第3、第5MOSトランジスタT3、T5を通じて出力信号線Voutへ読み出す。
【0041】信号読み出し後は、第6MOSトランジスタT6をOFFにし、且つ第6MOSトランジスタT6をOFFにした状態で第4MOSトランジスタT4を0ONさせてキャバシタC及び第3MOSトランジスタT3のゲート電圧のリセット(初期化)を行なう。しかる後、第6MOSトランジスタT6を0ONしてキャバシタCによる分圧を行なう。この第3実施形態では、二次元に配置された全ての画素の第6MOSトランジスタT6に同時に、同時にだけ積分された電荷を与えることによってキャバシタC及び第3MOSトランジスタT3に蓄積することができる。

【0042】(第4実施形態) 図6に示すように、第4MOS実施形態は第1実施形態(図3)に対して、第4MOSトランジスタT4を省略するとともに、第2MOSトランジスタT2のドレインにクロック Φ_D を与えるように、且つその第2MOSトランジスタのソースとキャバシタC間に第6MOSトランジスタT6をスイッチとして挿入した点が相違しており、その他の構成は同一である。第6MOSトランジスタT6はドレインが第2MOSトランジスタT2のソースに接続され、ソースがキャバシタに接続され、ゲートには積分時間電圧電圧 Φ_{int} が印加されるようになっている。

【0043】pnフォトダイオードPDに光が当たると光電流が発生し、MOSトランジスタT1のゲートには、MOSトランジスタのサブレッシュモード特性により、前記が電流を対数変換した値の電圧が発生する。この電圧により、キャバシタCには光電流の漏分値を対数変換した値の電圧が蓄積される。このようにして負荷抵抗部に接続された電荷に比例するとパルス Φ_V を与え、第4MOSトランジスタT3、T5を通り、出力信号線Voutへ導出される。このようにして負荷抵抗の対数値に比例した信号(出力電流)を読み出すことができる。信号読み出し後は第5MOSトランジスタT6を0OFFにして第4MOSトランジスタT3、T5を0ONすることでキャバシタC及び第3MOSトランジスタT3のゲート電圧を初期化させることができる。

【0039】(第2実施形態) 図4に示すように第2実施形態は、第2MOSトランジスタT2のドレインにクロック Φ_D を与えることによってキャバシタC及び第3MOSトランジスタT3に対する電圧を正に、それによって第4MOSトランジスタT4を削除した構成となっている。その他の構成は第1実施形態(図3)と同一である。尚、クロック Φ_D のハイレベル期間では、キャバシタCに分圧が行なわれ、ローレベル期間では、キャバシタCの電荷がMOSトランジスタT2を通して放電され、キャバシタCの電圧及び第3MOSトランジスタT3のゲートは電圧 Φ_D とクロック Φ_D のDを蓄積する(リセット)。この第2実施形態では、第4MOSトランジスタT4を削除する分、構成がシムルになる。

【0040】(第3実施形態) 図5に示すように、第3実施形態は、第1実施形態(図3)に対し第2MOSトランジスタT2とキャバシタCとの間にチャンネル型の第6MOSトランジスタT6をスイッチとして挿入した点が特徴となっている。この第6MOSトランジスタT6のドレインは第2MOSトランジスタT3のゲートへ接続され、第3のMOSトランジスタT6を0ONさせて導入した信号を第5MOSトランジスタT5のゲートへ接続される。このようにして入射光量の蓄積値に比例した信号を読み出しができる。信号読み出し後は第5MOSトランジスタT5を0ONすると第3MOSトランジスタT3のゲートへ接続される。この電荷はキャバシタCの電荷量に依存している。この電荷が第3、第4MOSトランジスタT3、T4を通り、信号出力線Voutへ導出される。

【0041】(第4実施形態) 図6に示すように、第4MOSトランジスタ Φ_V を与え、第5MOSトランジスタT5を0ONすると第3MOSトランジスタT3のゲートへ接続される。

【0042】(第5実施形態) この電荷はキャバシタCの電荷量に依存している。この電荷が第3、第4MOSトランジスタT3、T4を通り、信号出力線Voutへ導出される。

【0043】(第6実施形態) このようにして入射光量の蓄積値に比例した信号を読み出しができる。

ト電圧を初期化させることができる。

[0045] 第5 MOSトランジスタT5に示すように、第5実施形態は第3実施形態と同様に、第2 MOSトランジスタT2のドライバーDを与えるよう。

[0046] なお、前記接合容量Csは図23に示すように、半導体基板100に形成したワエル層101と第2 MOSトランジスタT2のソース領域102との間に形成される。ただし、このソース領域102は第6 MOSトランジスタT6のドライバー領域105と並用になっている。図23において、103は第2 MOSトランジスタT2のドライバー領域であり、また106は第6 MOSトランジスタT6のソース領域である。10

4、107はそれぞれ第2、第6 MOSトランジスタT2、T6のトド電圧である。

[0047] フォトダイオードPDに光が当つて光電流が発生すると第1 MOSトランジスタT1のゲートには、MOSトランジスタのサブレッシャルド特性により、前記光電流を対数変換した値の電圧が発生する。この電圧により、キャバシタC1には光電流の積分値を対数変換した値と同等の電流が蓄積されるが、ここで2次元に配置されたすべての画素の第6 MOSトランジスタC1の一端と第2 MOSトランジスタT6とのソースと直流電圧Vssとの間に第1キャバシタC1が接続され、その第1キャバシタC1の一端と第2 MOSトランジスタT2のソースに第6 MOSトランジスタT6のドライバーが接続されている。そして、この第6 MOSトランジスタT6のソースと直流電圧Vssとの間に第2キャバシタC2が接続される。また、第1キャバシタC1、C2が同様に記述クロックφDのローレル電圧に設定(初期化)される。

[0048] 一方で第5 MOSトランジスタT5のゲートにVssとVtを与えて、該第5 MOSトランジスタT5のゲートをONにすると、第3 MOSトランジスタT3のゲートへ蓄積された電荷に示例した電荷が第3 MOSトランジスタT3のドライバーDにクロックφDを通じた電流が第3 MOSトランジスタT3のゲートに印加される。このとき、第2キャバシタC2の容量を第1キャバシタC1の容量に比べると非常に大きい過剰な電荷が第2キャバシタC2へ移り、第1キャバシタC1の電荷は殆ど第2キャバシタC2へ移され、その第2のMOSトランジスタの初期ソース(第3のMOSトランジスタのドライバー)の初期接合容量Csが初期化されると同時に、第2キャバシタC2の電荷が第2キャバシタC2へ移る。

[0049] したがって、各画素の初期接合容量Csは初期化されると同時に、第2キャバシタC2の電荷が第2キャバシタC2へ移る。従って、第1キャバシタC1につれて見れば、リセットされたと等価である。電荷を第2キャバシタC2へ移した後、初期接合容量Csの初期化(リセット)を行った後、クロックφDがハイレベルになったときから接合容量Csへの積分を開始し、信号読み出し期間に次のフレームの信号を接合容量Csに蓄積しておく。

[0050] したがって、各画素の信号(現フレームの信号)を読み出した後、第4 MOSトランジスタT4をONにしてキャバシタC3及び第3 MOSトランジスタT3のゲート電圧を初期化せざる。次に、第4 MOSトランジスタT4をOFFにして第6 MOSトランジスタT6のゲートにVtを与えて、第5 MOSトランジスタT5をONにすると第3 MOSトランジスタT3のゲート電圧を各画素の第2キャバシタC2にそれぞれ蓄積することができる。

[0051] 一方で第5 MOSトランジスタT5のゲートにVtを与り、出力信号線Voutへ導出される。このようにして入射光量の対数値に示例した信号を読み出すことができる。信号読み出し後は出力電流を読み出すことができる。信号読み出し後は出力電流を読み出すことができる。信号読み出し後は出力電流を読み出すことができる。このようにして入射光量の対数値を各画素の第2キャバシタC2にそれぞれ蓄積することができる。

[0052] 一方で第5 MOSトランジスタT5のゲートにVtを与え、該MOSトランジスタT5をONにして第3 MOSトランジスタT3のゲートへ蓄積された電荷を各画素の第2キャバシタC2にそれぞれ蓄積することができる。

[0053] 一方で第5 MOSトランジスタT5のゲートにVtを与え、該MOSトランジスタT5をONにして第3 MOSトランジスタT3のゲートへ蓄積された電荷を各画素の第2キャバシタC2にそれぞれ蓄積することができる。

[0054] 一方で第5 MOSトランジスタT5のゲートにVtを与え、出力信号線Voutへ導出される。このようにして入射光量の対数値を各画素の第2キャバシタC2にそれぞれ蓄積することができる。

[0055] 一方で第5 MOSトランジスタT5のゲートにVtを与え、出力信号線Voutへ導出される。このようにして入射光量の対数値を各画素の第2キャバシタC2にそれぞれ蓄積することができる。

[0056] 一方で第5 MOSトランジスタT5のゲートにVtを与え、出力信号線Voutへ導出される。このようにして入射光量の対数値を各画素の第2キャバシタC2にそれぞれ蓄積することができる。

れた電荷に示例した電流が第3、第6 MOSトランジスタT3、T5を通り、出力信号線Voutへ導出される。このようにして動画撮像が可能となるよう。

[0057] 第6実施形態(図5)に示すように、第6実施形態は第3実施形態と同一である。尚、Csは第2 MOSトランジスタT2のソース、第6 MOSトランジスタT2のドライバーDを与えるよう

にしており、その他の構成は第1実施形態と同一である。本実施形態では、常にONにする第4 MOSトランジスタT4が近傍と等面になり、キャバシタに所定値の抵抗が接続されている。このためキャバシタの初期値が、その抵抗によって決まるところになり、換算する。第4 MOSトランジスタT4のゲート電圧を0Vにして新たに第2キャバシタC2の初期値を初期化(從って静止時間)を同一にできる。

[0058] 第8実施形態(図9)に示すように、第8実施形態では、第7実施形態(図9)に対し、第2 MOSトランジスタT2のドライバーに直流電圧がクロックφDを印加することによって第4 MOSトランジスタT4を削除している点が第7実施形態と違っているだけである。この実施形態では、第1キャバシタC1の接続構成は同一である。この実施形態では、その接続構成は同一である。この実施形態では、第1キャバシタC1の部分、その導分電荷の第2キャバシタC2への転送、及び第2キャバシタC2の初期化を行った後、信号読み出し期間に次のフレームの信号を第1キャバシタC1に蓄積してお。

[0059] 一方で、全画素の信号を読み出した後、第4 MOSトランジスタT4をONにして第2キャバシタC2のリセットを行なうとき、第6 MOSトランジスタT6をONした状態で第2 MOSトランジスタT2のドライバーにクロックφDのローレル電圧を与えることによって第1キャバシタC1の電荷が第2 MOSトランジスタT2を通過して放電されるとともに、第2キャバシタC2の電荷が第6 MOSトランジスタT6及び第2 MOSトランジスタT2を通過して放電され、第1、第2キャバシタC1、C2が同様に記述クロックφDのローレル電圧に設定(初期化)される。

[0060] 一方で、第9実施形態は、画素内の導分電荷であるMOSトランジスタT1～T6を全てONにして、画素のMOSトランジスタで構成している第1 MOSトランジスタで構成してもよい。図20において、第9実施形態では、第7実施形態と同一である。この実施形態では、第1キャバシタC1～T6を全てPチャンネル型のMOSトランジスタで構成している。そのため図12～図22では既述の属性や印加電圧の属性が逆になっている。例えば、図14(第10実施形態)において、フォトダイオードPDはノードが直流電圧VDDに接続され、カソードが第1 MOSトランジスタT1のドラインとゲートに接続され、また第2 MOSトランジスタのゲートは直流電圧Vssに接続されている。第1 MOSトランジスタT1のソースは直流電圧Vssに接続されている。

[0061] この場合、直流電圧VssとVDDと、VDDとなっており、図3(第1実施形態)と逆である。また、キャバシタCの出力電圧は初期値が高い電圧で、積分によって降下する。また、第4 MOSトランジスタT4や第5 MOSトランジスタT5をONさせると、全ての第2 MOSトランジスタT2のドライバーに同時に、低電圧をゲートに印加する。以上通り、nチャンネル型のMOSトランジスタを用いた場合に比

分された電荷が第2キャバシタC2へ移送される。ここで2次元に配置された電荷が第6 MOSトランジスタT6のゲートに印加されると同時に、第2キャバシタC2へ蓄積された電荷を与える。このようにして、同時に印加された電荷が同時に、同時に印加された電荷を与える。

[0062] 一方で、第5 MOSトランジスタT5のゲートにVtを与え、該MOSトランジスタT5をONにして第3 MOSトランジスタT3のゲートへ蓄積された電荷を各画素の第2キャバシタC2にそれぞれ蓄積することができる。

[0063] 一方で、第5 MOSトランジスタT5のゲートにVtを与え、出力信号線Voutへ導出される。このようにして入射光量の対数値を各画素の第2キャバシタC2へ蓄積された電荷を与える。

[0064] 一方で、第5 MOSトランジスタT5のゲートにVtを与え、出力信号線Voutへ導出される。このようにして入射光量の対数値を各画素の第2キャバシタC2へ蓄積された電荷を与える。

[0065] 一方で、第5 MOSトランジスタT5のゲートにVtを与え、出力信号線Voutへ導出される。このようにして入射光量の対数値を各画素の第2キャバシタC2へ蓄積された電荷を与える。

[0066] 一方で、第5 MOSトランジスタT5のゲートにVtを与え、出力信号線Voutへ導出される。このようにして入射光量の対数値を各画素の第2キャバシタC2へ蓄積された電荷を与える。

[0067] 一方で、第5 MOSトランジスタT5のゲートにVtを与え、出力信号線Voutへ導出される。このようにして入射光量の対数値を各画素の第2キャバシタC2へ蓄積された電荷を与える。

[0068] 一方で、第5 MOSトランジスタT5のゲートにVtを与え、出力信号線Voutへ導出される。このようにして入射光量の対数値を各画素の第2キャバシタC2へ蓄積された電荷を与える。

[0069] 一方で、第5 MOSトランジスタT5のゲートにVtを与え、出力信号線Voutへ導出される。このようにして入射光量の対数値を各画素の第2キャバシタC2へ蓄積された電荷を与える。

[0070] 一方で、第5 MOSトランジスタT5のゲートにVtを与え、出力信号線Voutへ導出される。このようにして入射光量の対数値を各画素の第2キャバシタC2へ蓄積された電荷を与える。

し、キャバシタCの部分を蓄積する。これにより同時に、同時に蓄積した電荷を同時に、且つ動画にも対応する。電荷は第2キャバシタC2の電荷量に依存している。

23 は、電圧関係や接続関係が一部異なるが、構成は実質的に同一であり、また基本的な動作も同一であるので、図1.4～図2.2については図面で示すのみで、その構成や動作についての説明は省略する。

【0062】尚、これらの第1.0～第1.8実施形態の画素を含む固体撮像装置の全体構成を説明するためのブロック回路図を図1.2に示し、その電圧回路部分を図1.2に示す回路を接続するためのプロトタイプ部分を接続する。図1.2に示すように、列方向に配列を接続する。図1.2に示すように、列方向に配列された出力信号線6-1、6-2、…、6-mに対応するpチャンネルMOSトランジスタQ1とpチャンネルMOSトランジスタQ2が接続されている。MOSトランジスタQ1のゲートは直流電圧線7に接続され、ドレインは出力信号線6-1に接続され、ソースは水圧VSS'のライン8に接続されている。一方、MOSトランジスタQ2のドレインは出力信号線6-1に接続され、ソースは最終的な信号線9に接続され、ゲートは水平走査回路3に接続されている。ここで、トランジスタQ1は画素内のpチャンネル型の第3MOSトランジスタT3と共に図1.3 (a) に示すような増幅回路を構成している。

【0063】この場合、MOSトランジスタQ1は第3MOSトランジスタT3の負荷抵抗となっている。つれて、このトランジスタQ1のソースに接続される直流電圧VSS'、と、第3MOSトランジスタT3のドラインに接続される直流電圧VDD'、との関係は、VDD' < VSS'である。トランジスタQ1のドレインはトランジスタT3に接続され、ゲートには直流電圧が印加されている。

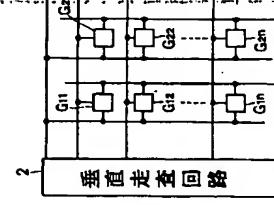
【0064】本発明の第1.0実施形態の1画素の構成を示す回路図は図1.3 (b) のようである。トランジスタQ1のドレインはトランジスタT3に接続され、ゲートには直流電圧が印加されている。また、各画素ごとに光電変換手段とキャッシュと増幅器と導出手段が設けられているので、より正確に安定した信号読み出しが可能である。更に、能動素子をMOSトランジスタで構成することにより周辺の処理回路(A/Dコンバータ、デジタル・システム・プロセッサ、メモリ)等と共にワンドアップ上に形成することができ、例えばワンドチップカーメラの実現に有用となる。

【図1】本発明の一実施形態である二次元固体撮像装置の全体の構成を説明するためのブロック回路図
【図2】図1.1の一部の回路図
【図3】本発明の第1実施形態の1画素の構成を示す回路図
【図4】本発明の第2実施形態の1画素の構成を示す回路図
【図5】本発明の第3実施形態の1画素の構成を示す回路図
【図6】本発明の第4実施形態の1画素の構成を示す回路図
【図7】本発明の第5実施形態の1画素の構成を示す回路図
【図8】本発明の第6実施形態の1画素の構成を示す回路図
【図9】本発明の第7実施形態の1画素の構成を示す回路図
【図10】本発明の第8実施形態の1画素の構成を示す回路図
【図11】本発明の第9実施形態の1画素の構成を示す回路図
【図12】画素内の能動素子をpチャンネルMOSトランジスタで構成した実施形態の場合の本発明の一次元固体撮像装置の全体の構成を説明するためのブロック回路図
【図13】図1.2の一部の回路図
【図14】本発明の第1実施形態の1画素の構成を示す回路図
【図15】本発明の第1.1実施形態の1画素の構成を示す回路図
【図16】本発明の第1.2実施形態の1画素の構成を示す回路図
【図17】本発明の第1.3実施形態の1画素の構成を示す回路図
【図18】本発明の第1.4実施形態の1画素の構成を示す回路図
【図19】本発明の第1.5実施形態の1画素の構成を示す回路図
【図20】本発明の第1.6実施形態の1画素の構成を示す回路図
【図21】本発明の第1.7実施形態の1画素の構成を示す回路図
【図22】本発明の第1.8実施形態の1画素の構成を示す回路図
【図23】上記第5実施形態における接合容量の構造を示す図
【図24】従来例の1画素の構成を示す回路図
【符号の説明】

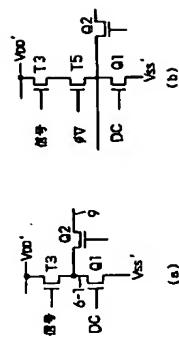
25 2 垂直走査回路
3 水平走査回路
4-1～4-n 行選択線
6-1～6-m 出力信号線
PD フォトダイオード

T1～T6 第1～第6 MOSトランジスタ
C キャッシュ
C1、C2 第1、第2キャッシュ
Cs 接合容量

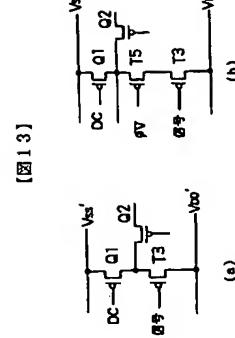
【図1】



【図2】



【図3】



【図4】



【図5】



【図6】



【図7】



【図8】



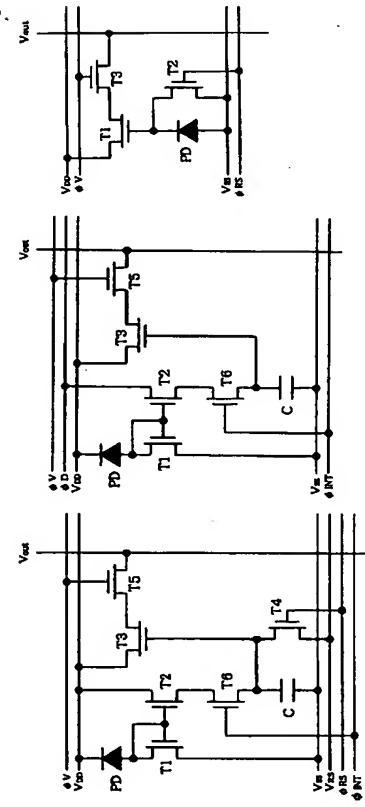
【図9】



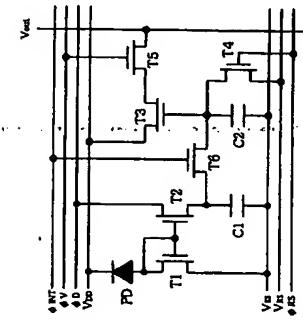
【図10】



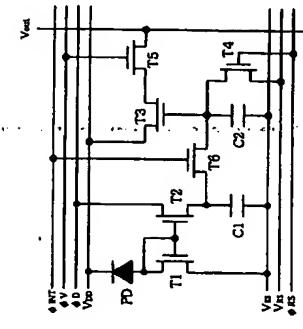
[図15]



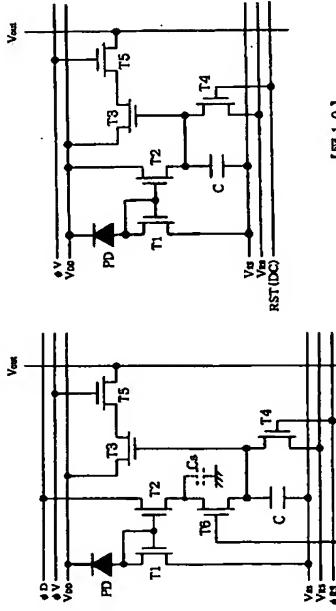
[図16]



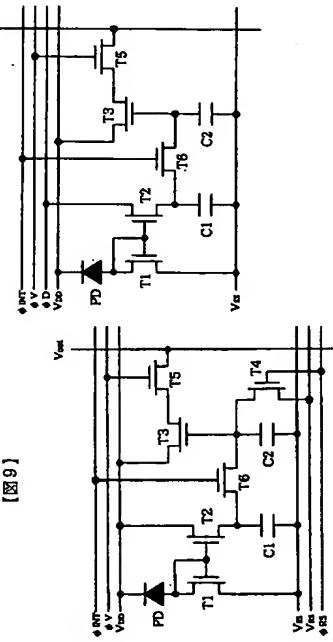
[図17]



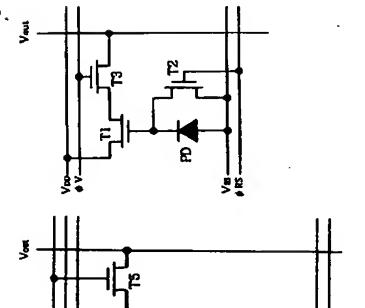
[図18]



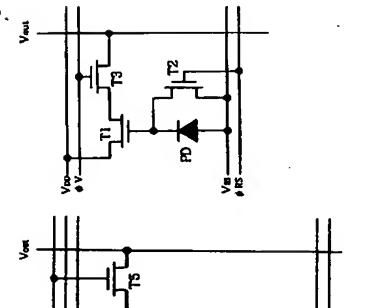
[図19]



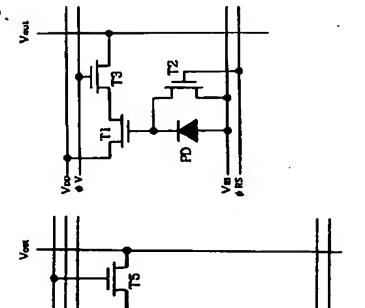
[図20]



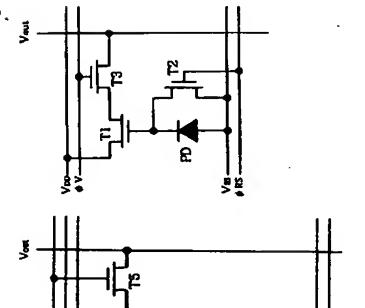
[図21]



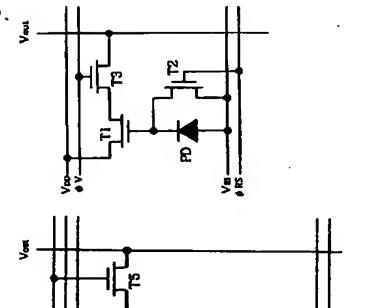
[図22]



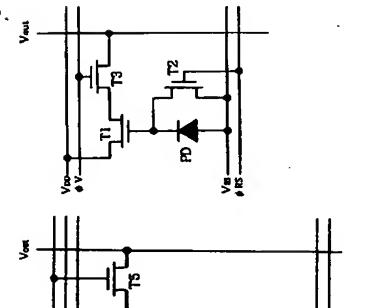
[図23]



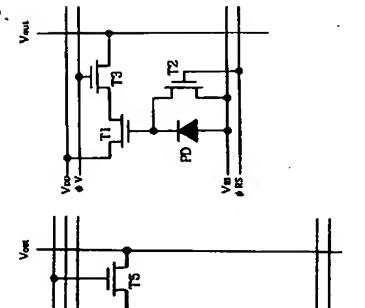
[図24]



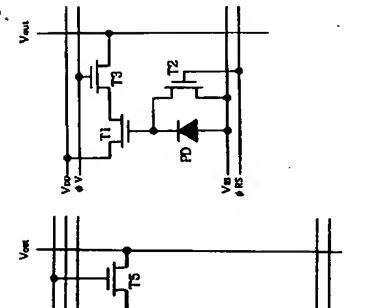
[図25]



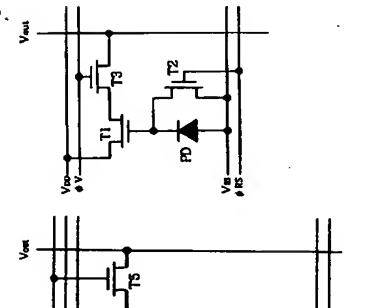
[図26]



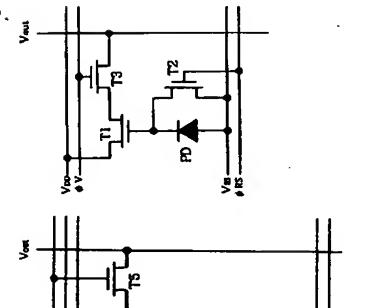
[図27]



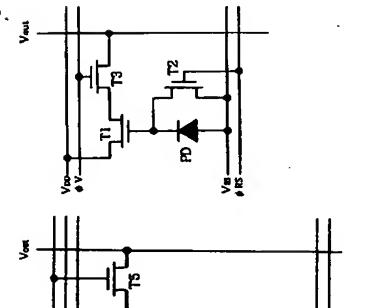
[図28]



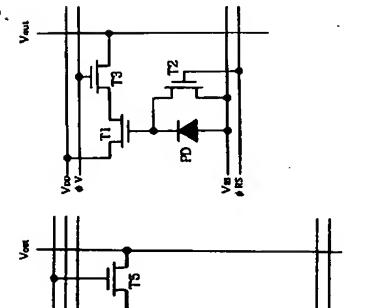
[図29]



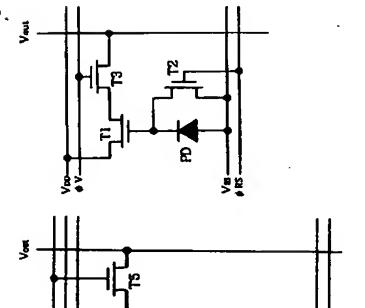
[図30]



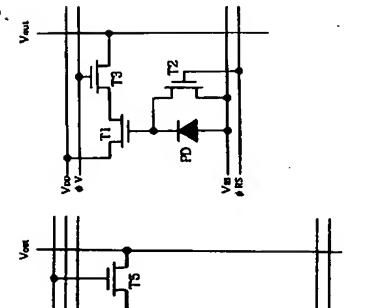
[図31]



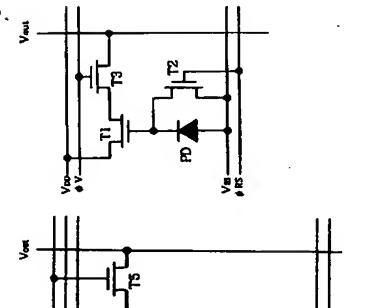
[図32]



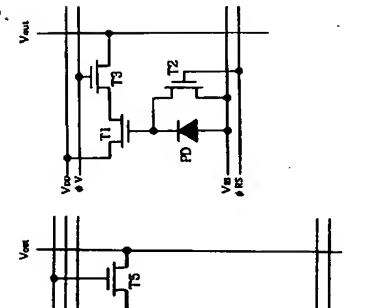
[図33]



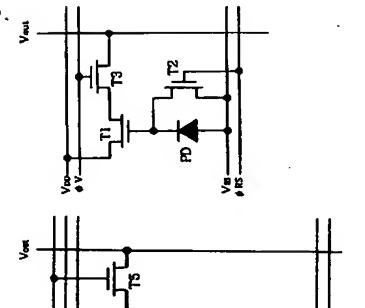
[図34]



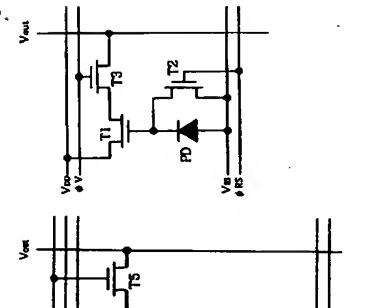
[図35]



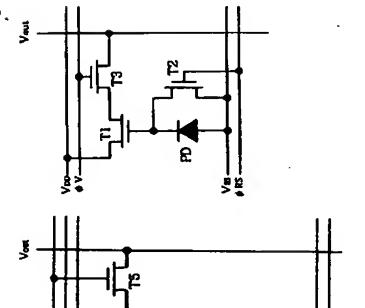
[図36]



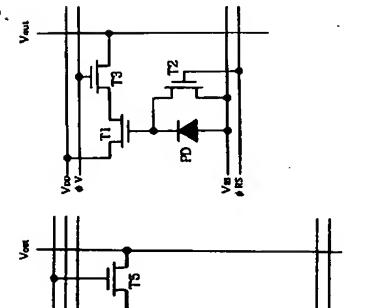
[図37]



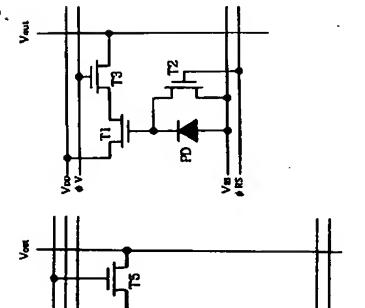
[図38]



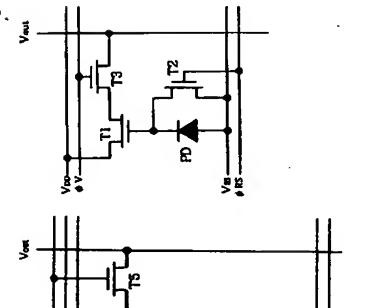
[図39]



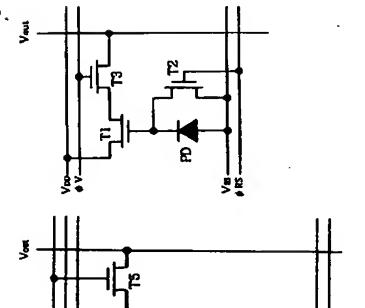
[図40]



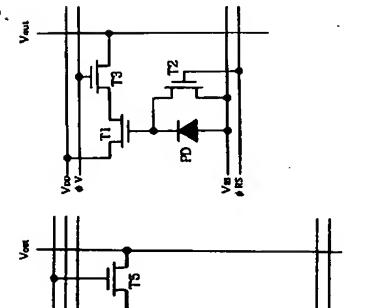
[図41]



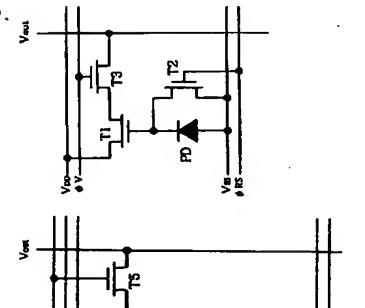
[図42]



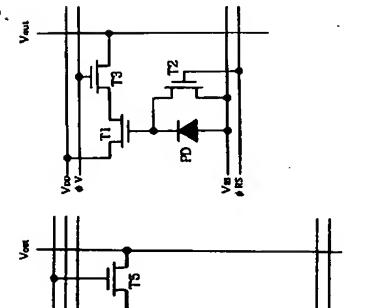
[図43]



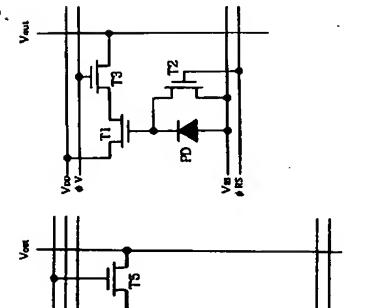
[図44]



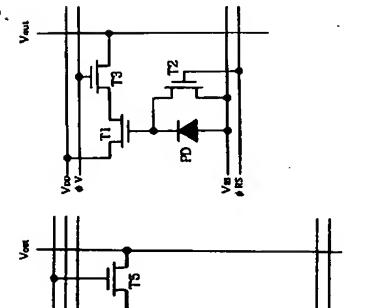
[図45]



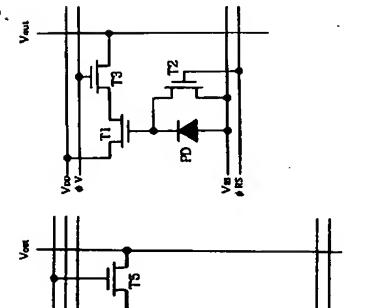
[図46]



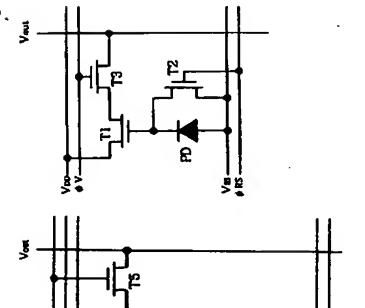
[図47]



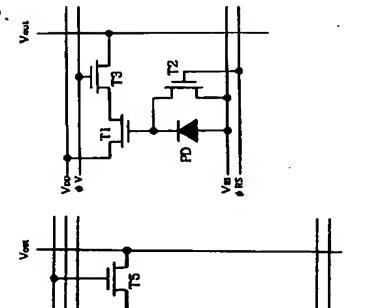
[図48]



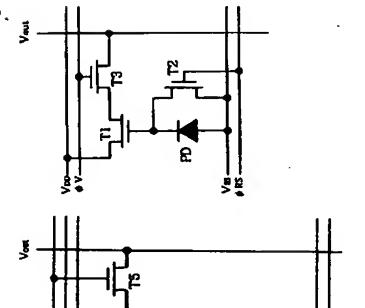
[図49]



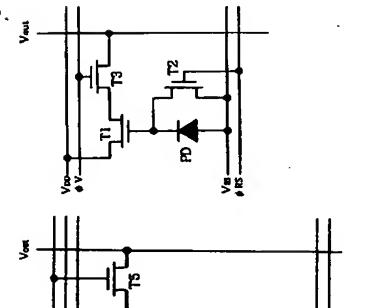
[図50]



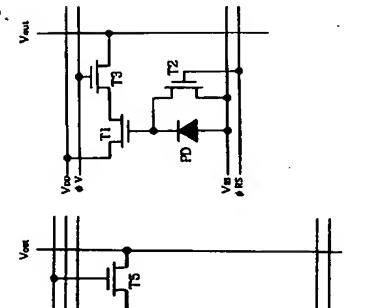
[図51]



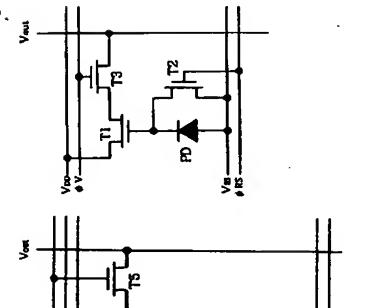
[図52]



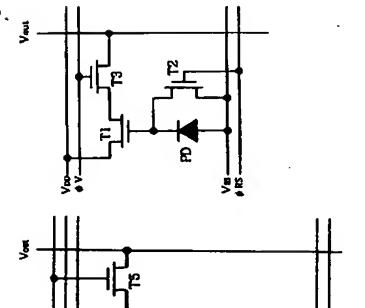
[図53]



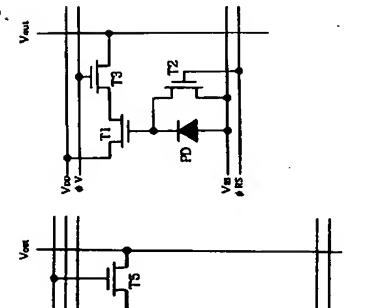
[図54]



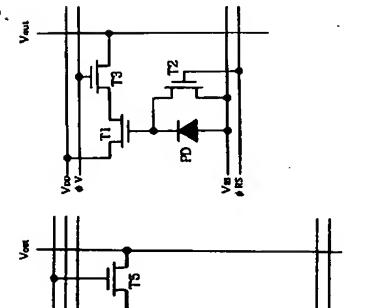
[図55]



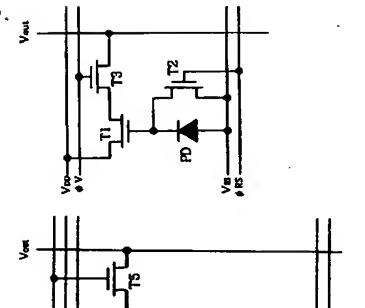
[図56]



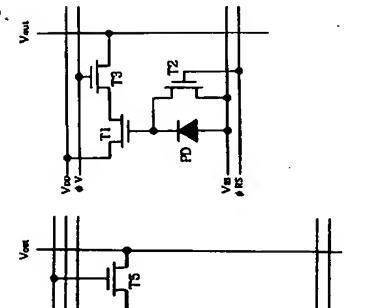
[図57]



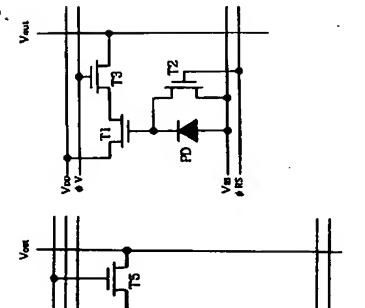
[図58]



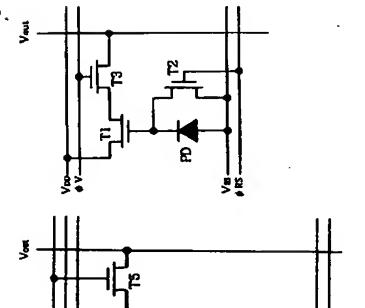
[図59]



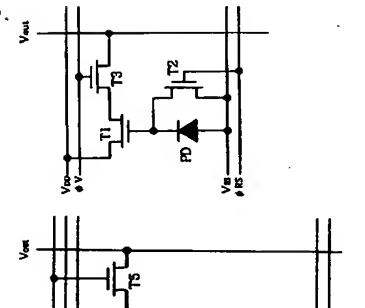
[図60]



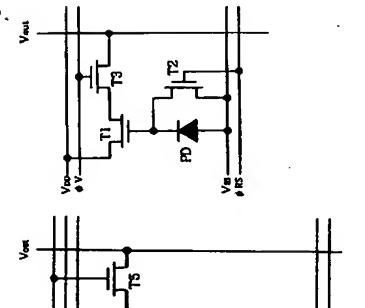
[図61]



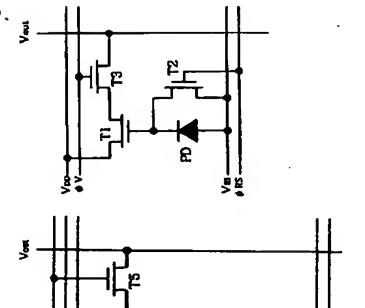
[図62]



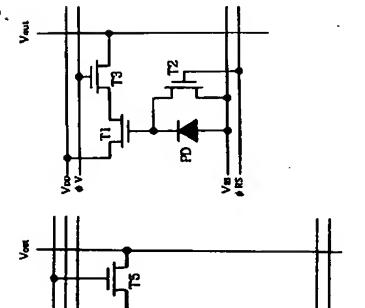
[図63]



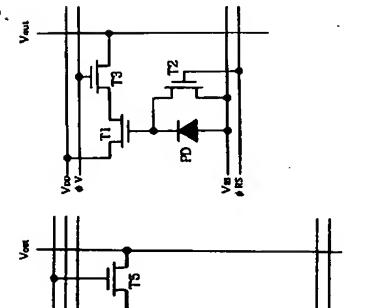
[図64]



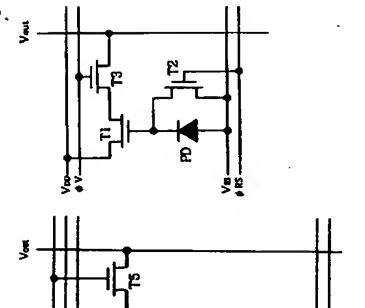
[図65]



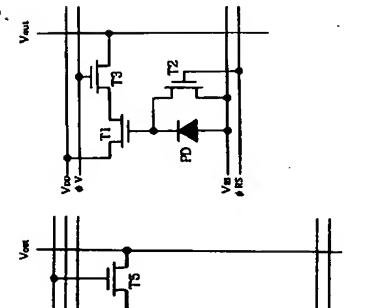
[図66]



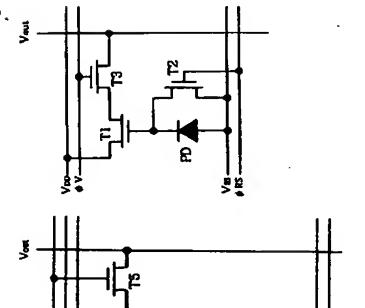
[図67]



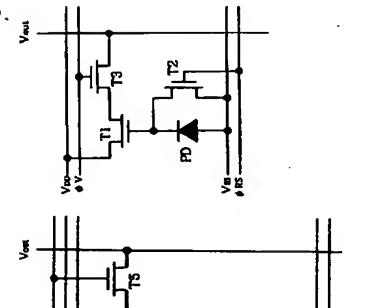
[図68]



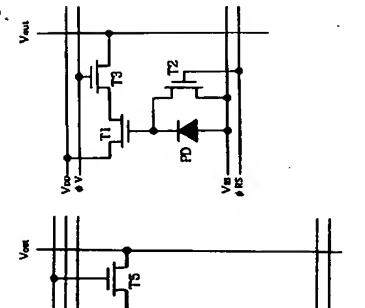
[図69]



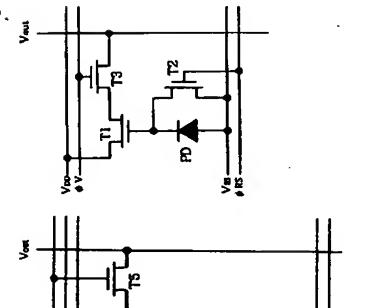
[図70]



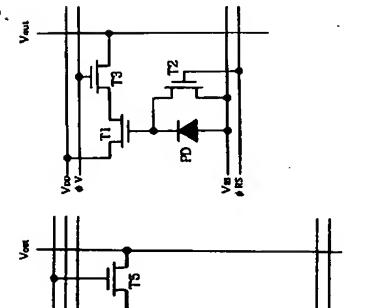
[図71]



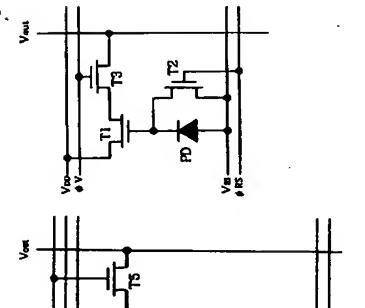
[図72]



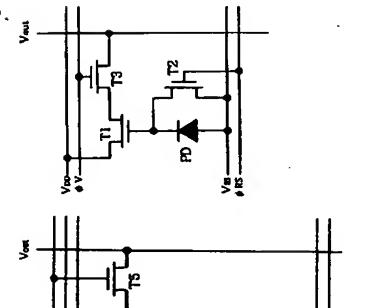
[図73]



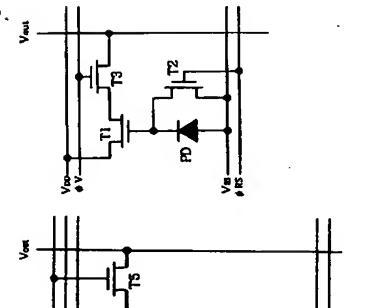
[図74]



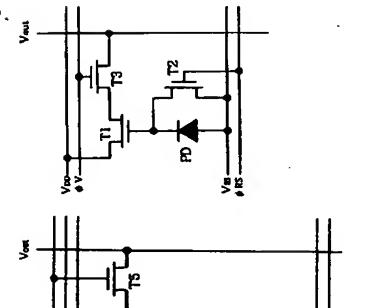
[図75]



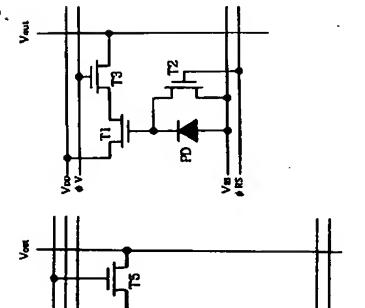
[図76]



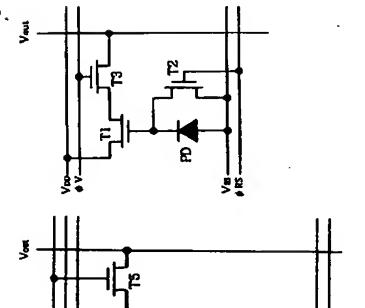
[図77]



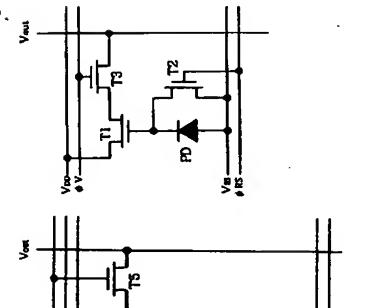
[図78]



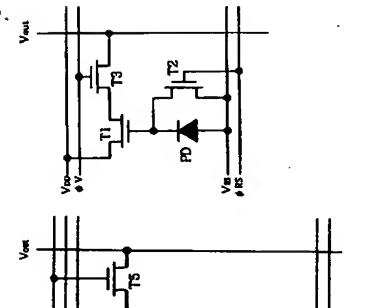
[図79]



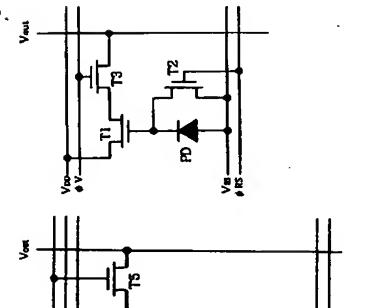
[図80]



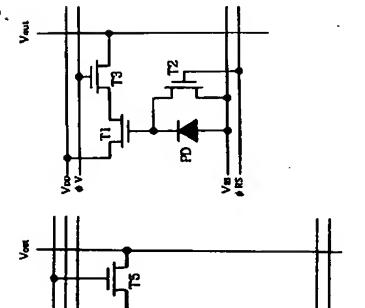
[図81]



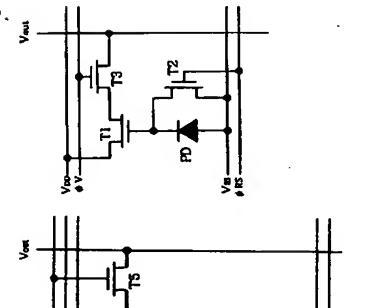
[図82]



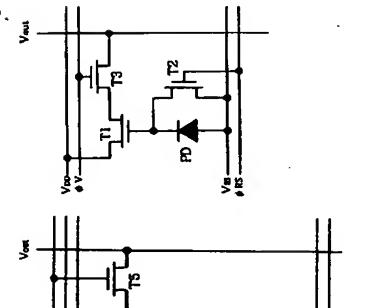
[図83]



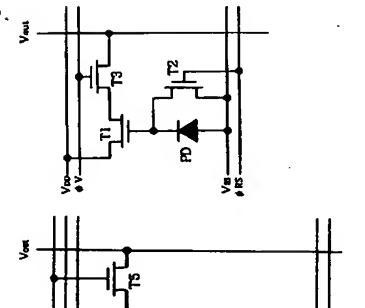
[図84]



[図85]



[図86]



[図87]

